

SEMICONDUCTOR DEVICE AND PRODUCTION THEREOF

Patent Number: JP7297122

Publication date: 1995-11-10

Inventor(s): MAKITA NAOKI; others: 01

Applicant(s): SHARP CORP

Requested Patent: JP7297122

Application Number: JP19940083383 19940421

Priority Number(s):

IPC Classification: H01L21/20; H01L21/268; H01L27/12; H01L29/786; H01L21/336

EC Classification:

Equivalents: JP3059337B2

Abstract

PURPOSE: To introduce a minimum quantity of catalyst element uniformly onto the surface of a substrate by introducing a catalyst element for accelerating the crystallization, through deposition, to an amorphous silicon film in an active region and growing crystals on the amorphous silicon film through heating and irradiation of laser light or intensive light.

CONSTITUTION: An amorphous silicon film 103 is deposited by low pressure CVD or plasma CVD, followed by deposition of a quite thin film 105 by vacuum deposition. It is then annealed under hydrogen reducing atmosphere or inert atmosphere and crystallized. In this regard, the nickel 105 deposited on the surface serves as a nucleus for crystallizing the amorphous silicon film 103 in the direction vertical to a substrate 101 thus depositing a crystal silicon film 103a. Nickel is diffused uniformly into the film simultaneously with the crystallization.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁(JP)

(12) **公開特許公報 (A)**

(11) 特許出願公開番号

特開平7-297122

(43) 公開日 平成7年(1995)11月10日

(51) Int. C1.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H O 1 L 21/20

21/268 Z

27/12 R

29/786

9056-4M

H O 1 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 9 O L

(全13頁) 最終頁に続く

(21) 出願番号

特願平6-83383

(22) 出願日

平成6年(1994)4月21日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 牧田 直樹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 香西 孝真

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】半導体装置およびその製造方法

(57) 【要約】

【目的】 基板全面に渡って、均一で安定した特性の高性能薄膜トランジスタを有する半導体装置およびその製造方法を提供する。

【構成】 絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成されている。この活性領域は、非晶質ケイ素膜に結晶化を助長する触媒元素を蒸着法により導入し、加熱処理と、レーザ光または強光照射とを行うことにより形成されている。

【特許請求の範囲】

【請求項1】 絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置であって、

該活性領域は、非晶質ケイ素膜に結晶化を助長する触媒元素を蒸着法により導入し、該非晶質ケイ素膜に加熱処理と、レーザ光または強光照射とを行うことにより結晶成長させたものからなる半導体装置。

【請求項2】 絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置であって、

前記活性領域は、非晶質ケイ素膜の一部に結晶化を助長する触媒元素を蒸着法により選択的に導入し、該非晶質ケイ素膜に加熱処理と、レーザ光または強光照射とを行うことにより、該触媒元素が選択的に導入された領域の周辺部において基板表面に対して概略平行な方向に結晶成長させたものからなる半導体装置。

【請求項3】 前記触媒元素が、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、P、As、SbおよびAlから選択される一種または複数種類の元素である請求項1または2に記載の半導体装置。

【請求項4】 前記活性領域中における前記触媒元素の濃度が 1×10^{16} atoms/cm³～ 1×10^{19} atoms/cm³である請求項1または2に記載の半導体装置。

【請求項5】 絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置の製造方法であって、

基板上に非晶質ケイ素膜を形成する工程と、
該非晶質ケイ素膜を形成する工程の前または後において、該非晶質ケイ素膜の結晶化を助長する触媒元素を含有する薄膜を蒸着する工程と、
該非晶質ケイ素膜を加熱により結晶化させる工程と、
加熱により結晶化されたケイ素膜にレーザ光または強光を照射して結晶性を助長する工程と、
を含む半導体装置の製造方法。

【請求項6】 絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置の製造方法であって、

基板上に非晶質ケイ素膜を形成する工程と、
該非晶質ケイ素膜を形成する工程の前または後において、該非晶質ケイ素膜の結晶化を助長する触媒元素を含有する薄膜を、該非晶質ケイ素膜の一部と接するように選択的に蒸着する工程と、
該非晶質ケイ素膜を加熱して、該非晶質ケイ素膜における該触媒元素を含有する薄膜が接した領域の周辺部に、基板表面に対して概略平行な方向に結晶成長を行わせる工程と、
加熱により結晶化されたケイ素膜にレーザー光または強光を照射して、基板表面に対して概略平行な方向に結晶

成長を行わせた領域の結晶性を助長する工程と、
を含む半導体装置の製造方法。

【請求項7】 前記非晶質ケイ素膜の結晶化を助長する触媒元素を含有する薄膜を蒸着する際、該触媒元素を含有する蒸着源と前記基板との距離を20cm以上にして蒸着を行う請求項5または6に記載の半導体装置の製造方法。

【請求項8】 前記非晶質ケイ素膜の結晶化を助長する触媒元素を含有する薄膜を蒸着する際、該触媒元素を含有する蒸着源と基板との間に、基板への多量の蒸着を抑制する敷居板を設けて蒸着を行う請求項5または6に記載の半導体装置の製造方法。

【請求項9】 前記触媒元素として、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、P、As、SbおよびAlから選択される一種または複数種類の元素を用いる請求項5または6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばガラス等の絶縁性基板上に設けられたTFT(薄膜トランジスタ)を利用したアクティブマトリクス型液晶表示装置等に利用できる半導体装置およびその製造方法に関し、さらに詳しくは、絶縁性表面を有する基板上に非晶質ケイ素膜を結晶化させた結晶性ケイ素膜が活性領域として形成された半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 ガラス等の絶縁性基板上にTFTを有する半導体装置としては、これらのTFTを画素の駆動に用いるアクティブマトリクス型液晶表示装置やイメージセンサー等が知られている。これらの装置に用いられるTFTの活性領域には、薄膜状のケイ素半導体を用いるのが一般的である。この薄膜状のケイ素半導体は、非晶質ケイ素(a-Si)半導体からなるものと、結晶性を有するケイ素半導体からなるものとの2つに大別される。

【0003】 前者の非晶質ケイ素半導体は作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられている。しかし、非晶質ケイ素半導体では、導電率等の物性が結晶性を有するケイ素半導体に比べて劣るので、今後、より高速特性を得るために、結晶性を有するケイ素半導体からなるTFTの作製方法の確立が強く求められていた。一方、後者の結晶性を有するケイ素半導体としては、多結晶性ケイ素、微結晶性ケイ素、結晶成分を含む非晶質ケイ素、結晶性と非結晶性の中間の状態を有するセミアモルファスケイ素等が知られている。

【0004】 結晶性を有する薄膜状のケイ素半導体を得るための従来の方法としては、以下の方法が知られている。

【0005】(1) 成膜時に結晶性を有するケイ素半導体膜を直接成膜する方法

(2) 非晶質のケイ素半導体膜を成膜しておき、レーザ光のエネルギーにより結晶性を有せしめる方法

(3) 非晶質のケイ素半導体膜を成膜しておき、熱エネルギーを加えることにより結晶性を有せしめる方法
しかし、これらの方には以下のような問題点がある。

【0006】上記(1)の方法による場合には、成膜工程と同時に結晶化が進行するので、大粒径の結晶性ケイ素を得るためににはケイ素膜を厚膜にすることが不可欠であるが、良好な半導体物性を有する膜を基板上に全面に渡って均一に成膜することは技術上困難である。また、成膜温度が600°C以上と高いので、安価なガラス基板が使用できないというコスト上の問題があった。

【0007】また、上記(2)の方法による場合には、溶融固化過程の結晶化現象を利用するので、小粒径ながら粒界が良好に処理され、高品質な結晶が得られるが、現在最も一般的に使用されているエキシマレーザーを例にとると、レーザー光の照射面積が小さいためスループットが低く、また大面積基板の全面を均一に処理するにはレーザーの安定性が充分ではないという問題がある。よって、次世代の技術という感が強い。

【0008】上記(3)の方法による場合には、上記(1)および(2)の方法と比較すると大面積に対応できるという利点はあるが、結晶化に際して600°C以上の高温で数十時間にわたる加熱処理が必要となるという問題がある。すなわち、安価なガラス基板の使用とスループットの向上を考えると、加熱温度を下げると共に短時間で結晶化させるという相反することを同時に解決する必要があるという問題がある。また、この方法は、固相結晶化現象を利用するので、結晶粒が基板面に平行に拡がって数μmの粒径を持つものも現れるものの、成長した結晶粒同士がぶつかり合って粒界が形成され、その粒界がキャリアに対するトラップ準位として働くので、TFTの移動度を低下させる大きな原因となっている。

【0009】そこで、上記(3)の方法を利用し、上述した結晶粒界の問題点を解決するための2方法が提案されている(特開平5-55142号、特開平5-136048号)。

【0010】これらの提案方法では、結晶成長の核となる異物を非晶質ケイ素膜中に導入した後、熱処理を行うことにより、その異物を核とした大粒径の結晶性ケイ素膜を得ている。詳述すると、前者(特開平5-55142号)の方法では、シリコン(Si⁺)等の不純物をイオン注入法により非晶質ケイ素膜に導入し、熱処理することにより粒径数μmの結晶粒を有する多結晶ケイ素膜を得る。一方、後者(特開平5-136048号)の方法では、粒径10~100nmのSi粒子を高圧の窒素ガスと共に非晶質ケイ素膜に吹き付けて成長核を形成する。このように、両者とも非晶質ケイ素膜に選択的に異

物を導入し、それを核として結晶成長させた高品質な結晶性ケイ素膜を利用して半導体素子を形成している。

【0011】しかし、上記提案されている2方法では、導入された異物は成長核としてのみ作用するので、結晶成長の際の核発生や結晶成長方向の制御には有効であるが、結晶化のための加熱処理工程に対しての問題点は残っている。例えば、特開平5-55142号の方法では、温度600°Cで40時間の加熱処理により結晶化を行っている。また、特開平5-136048号の方法では、加熱温度650°C以上の熱処理を行っている。このため、これらの方法は、SOI(Semiconductor on Insulator)基板やSOS(Semiconductor on Sapphire)基板には有効であるが、安価なガラス基板に結晶性ケイ素膜を作製して半導体素子を形成するのは困難である。例えば、アクティブマトリクス型液晶表示装置にはコーニング7059ガラス等が用いられるが、これはガラス歪点が593°Cあり、基板の大面積化を考慮すると、600°C以上の加熱には問題がある。

【0012】本願発明者らは、上記様々な問題を解決するため、結晶化に必要な温度の低温化と処理時間の短縮化とを両立させ、さらには粒界の影響を最小限にとどめた結晶性ケイ素薄膜の作製方法を見出した。

【0013】本願発明者らの研究によれば、非晶質ケイ素膜の表面にニッケル、パラジウムまたは鉛等の金属元素を微量導入させて加熱すると、550°C、4時間程度の熱処理により結晶化を行えることが判明している。このメカニズムは、まず金属元素を核とした結晶核発生が早期に起こり、その後、その金属元素が触媒となって結晶成長を助長し、結晶化が急激に進行するものと考えられる。そういう意味から、以後、これらの金属元素を触媒元素と称する。

【0014】ところで、これらの触媒元素により結晶化が助長されて結晶成長した結晶性ケイ素膜は、通常の固相成長方法で非晶質ケイ素膜を結晶化した結晶性ケイ素膜が双晶構造であるのに対し、何本もの針状結晶または柱状結晶で構成されており、それぞれの針状結晶または柱状結晶の内部は理想的な単結晶状態となっている。

【0015】このような結晶性ケイ素膜を活性領域としてTFTを作製する場合は、通常の固相成長法で形成した結晶性ケイ素膜を用いた場合に比べて、電界効果移動度を1.2倍程度向上させることができ、その後レーザー光または強光を照射してその結晶性を助長することにより、その差をさらに顕著にできる。この理由は、以下のように考えられる。すなわち、結晶性ケイ素膜にレーザー光または強光を照射した場合、結晶性ケイ素膜と非晶質ケイ素膜との融点の相違から結晶粒界部が集中的に処理される訳であるが、通常の固相成長法で形成した結晶性ケイ素膜は、結晶構造が双晶状態であるため、レーザー光または強光照射後も結晶粒界内部は双晶欠陥として残される。それに対して、触媒元素を導入して結晶化

した結晶性ケイ素膜は、針状結晶または柱状結晶で構成されており、その内部は単結晶状態であるので、レーザー光または強光照射により結晶粒界部が処理されると基板全面に渡ってほぼ単結晶状態に近い結晶性ケイ素膜が得られるからである。

【0016】なお、上記のような触媒元素を微量導入するためには、プラズマ処理やイオン注入、あるいは触媒元素を含む溶液や化合物を塗布する方法を利用することができます。なお、プラズマ処理とは、プラズマCVD装置の電極として触媒元素を含んだ材料を用い、窒素または水素等の雰囲気下でプラズマを生じさせることにより、非晶質ケイ素膜に触媒元素を添加させる処理である。

【0017】

【発明が解決しようとする課題】ところで、上記ニッケル等の触媒元素が半導体中に多量に存在していると、これらの半導体を用いた装置の信頼性や電気的安定性を阻害するので好ましくない。即ち、上記結晶化を助長するニッケル等の触媒元素は、非晶質ケイ素を結晶化させる際には必要であるが、結晶化されたケイ素膜中には極力含まれないようにするのが望ましい。

【0018】よって、触媒元素として結晶性ケイ素中で不活性な傾向が強いものを選択すると同時に、結晶化に必要な触媒元素の量を極力少なくて、最低限の量で結晶化を行う必要がある。このためには、上記触媒元素の添加量を精密に制御して導入する必要があり、さらに、その処理法における触媒元素の添加量の基板内での均一性および基板間での安定性（再現性）を確保することが不可欠である。

【0019】また、ニッケルを触媒元素とした場合、非晶質ケイ素膜成膜後にニッケル添加を上述したプラズマ処理により行って結晶性ケイ素膜を作製し、その結晶化過程を詳細に検討したところ、以下の事項が判明した。

【0020】(1) プラズマ処理によってニッケルを非晶質ケイ素膜に導入した場合、熱処理を行う以前に既に、ニッケルが非晶質ケイ素膜中のかなりの深さの部分まで侵入していた。

【0021】(2) 結晶化において、初期の結晶核発生は、ニッケルを導入した表面から起っている。

【0022】(3) プラズマ処理によってニッケルを導入した非晶質ケイ素膜を結晶化した結晶性ケイ素膜にレーザー光を照射した場合、結晶性ケイ素膜表面に過剰のニッケルが析出していた。

【0023】上記事項から、プラズマ処理によって導入されたニッケルはすべて効果的に機能していないという結論が得られる。即ち、多量のニッケルを導入しても十分に機能していないニッケルが存在していると考えられる。更に、このことからニッケルとケイ素とが接している点または面が低温結晶化の際に機能していると考えられる。従って、ニッケルは可能な限り微細に原子状に分

散していることが必要であるという結論が得られる。即ち、非晶質ケイ素膜の表面近傍に、低温結晶化が可能な範囲内でできるだけ低濃度のニッケルが原子状で分散して導入されていることが必要であるという結論が得られる。

【0024】ところで、非晶質ケイ素膜の表面近傍に極微量のニッケル（触媒元素）を導入する方法としては、触媒元素を溶媒または化合物に溶かしたもの非晶質ケイ素膜に塗布する方法がある。この方法による場合には、その溶液または化合物中のニッケル濃度を制御することで、非晶質ケイ素膜中に導入されるニッケル量の管理を容易に行うことができ、結晶化に必要な最小限の量の触媒元素添加が可能となる。また、この方法により触媒元素を導入して結晶化した結晶性ケイ素膜にレーザー光を照射した場合には、ニッケルの析出が起こらず、高品質な結晶性ケイ素が得られる。

【0025】しかし、触媒元素を溶媒または化合物に溶かしたもの非晶質ケイ素膜に塗布する方法では、基板内の均一性が良くないという問題点がある。すなわち、スピナーにより均一に塗布して乾燥させる方法や、基板を直接溶液にディップした後、エアーナイフで乾燥させる方法など種々の方法を試みたが、いずれも127mm角基板で±10~20%のニッケル添加量のばらつきが見られた。また、ニッケル添加量の基板内の不均一性が大きいと、局所的にニッケル量不足で結晶成長が起こらない領域や、ニッケルが半導体素子に悪影響を及ぼすほど多量に存在する領域が生じる。従って、液晶表示装置のアクティブマトリクス基板のように、1つの基板上に数十万個のTFTを均一性よく形成することは困難であった。さらに、近年、装置の低コスト化や大面積化の要望に従って、400nm角以上のガラス基板に対応できる程の均一性および安定性に優れた半導体装置およびその製造方法が要求されている。

【0026】本発明は、このような従来技術の課題を解決すべくなされたものであり、600°C以下の短時間熱処理が可能であり、触媒元素を最小限の量で均一性良く基板面に導入して大面積基板に対応でき、しかも安定性および生産性良く、熱処理で得られる結晶性よりもさらに高い結晶性を得ることができる高性能な半導体装置およびその製造方法を提供することを目的とする。

【0027】

【課題を解決するための手段】本発明の半導体装置は、絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置であって、該活性領域は、非晶質ケイ素膜に結晶化を助長する触媒元素を蒸着法により導入し、該非晶質ケイ素膜に加熱処理と、レーザー光または強光照射とを行うことにより結晶成長させたものからなり、そのことにより上記目的が達成される。

50 【0028】本発明の半導体装置は、絶縁性表面を有す

る基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置であって、前記活性領域は、非晶質ケイ素膜に結晶化を助長する触媒元素を蒸着法により選択的に導入し、該非晶質ケイ素膜に加熱処理と、レーザ光または強光照射とを行うことにより、該触媒元素が選択的に導入された領域の周辺部において基板表面に対して概略平行な方向に結晶成長を行わせたものからなり、そのことにより上記目的が達成される。

【0029】前記触媒元素は、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、P、As、SbおよびAlから選択される一種または複数種類の元素とすることができる。

【0030】前記活性領域中における前記触媒元素の濃度は 1×10^{16} atoms/cm³～ 1×10^{19} atoms/cm³であるのが望ましい。

【0031】本発明の半導体装置の製造方法は、絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置の製造方法であって、基板上に非晶質ケイ素膜を形成する工程と、該非晶質ケイ素膜を形成する工程の前または後において、該非晶質ケイ素膜の結晶化を助長する触媒元素を含有する薄膜を蒸着する工程と、該非晶質ケイ素膜を加熱により結晶化させる工程と、加熱により結晶化されたケイ素膜にレーザ光または強光を照射して結晶性を助長する工程とを含み、そのことにより上記目的が達成される。

【0032】本発明の半導体装置の製造方法は、絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置の製造方法であって、基板上に非晶質ケイ素膜を形成する工程と、該非晶質ケイ素膜を形成する工程の前または後において、該非晶質ケイ素膜の結晶化を助長する触媒元素を含有する薄膜を、該非晶質ケイ素膜と接するように選択的に蒸着する工程と、該非晶質ケイ素膜を加熱して、該非晶質ケイ素膜における該触媒元素を含有する薄膜が接した領域の周辺部に、基板表面に対して概略平行な方向に結晶成長を行わせる工程と、加熱により結晶化されたケイ素膜にレーザー光または強光を照射して、基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性を助長する工程とを含み、そのことにより上記目的が達成される。

【0033】前記非晶質ケイ素膜の結晶化を助長する触媒元素を含有する薄膜を蒸着する際、該触媒元素を含有する蒸着源と基板との距離を20cm以上にして蒸着を行うのが望ましい。

【0034】前記非晶質ケイ素膜の結晶化を助長する触媒元素を含有する薄膜を蒸着する際、該触媒元素を含有する蒸着源と基板との間に、基板への多量の蒸着を抑制する敷居板を設けて蒸着を行うのが望ましい。

【0035】前記触媒元素としては、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、P、As、

SbおよびAlから選択される一種または複数種類の元素を用いることができる。

【0036】

【作用】本発明においては、非晶質ケイ素膜の結晶化を助長する触媒元素の導入方法として、蒸着法により、触媒元素を含有する薄膜を非晶質ケイ素膜表面に形成している。この方法では、非晶質ケイ素膜表面に接して触媒元素が導入され、プラズマ処理法のように膜中深く侵入することができないので、触媒元素が結晶化に寄与しない状態で存在するのを防ぐことができる。よって、蒸着法により触媒元素の導入を行った場合、レーザー光または強光の照射を行っても触媒元素の析出は起こらない。

【0037】また、触媒元素を含有する薄膜を成膜することにより非晶質ケイ素膜に触媒元素を導入するので、触媒元素を溶かした溶液または化合物を塗布する方法に比べて基板内の触媒元素添加量のばらつきを小さくすることができ、本願発明者らの実験では127mm角基板で±5%以内であることを確認した。さらに基板を大面積化した場合でも、蒸着装置を大型化することにより対応可能であり、その際の実質的な触媒元素添加量のばらつきは、127mm角基板の場合と大差ないものと思われる。従って、基板全面に渡って均一に触媒元素を導入でき、大面積基板に均一性、安定性に優れた半導体装置を製造することができる。

【0038】また、非晶質ケイ素膜の一部に結晶化を助長する触媒元素を選択的に導入して加熱処理を行うと、導入された領域から横方向（基板表面に対して概略平行な方向）に結晶成長が起こる。この領域の内部では、成長方向が一方向（横方向）に揃った針状結晶または柱状結晶がひしめき合っており、触媒元素が直接導入されてランダムに結晶成長核の発生が起こった領域に比べて格段に結晶性が良好な領域となっている。この横方向に結晶成長が起こった領域に、レーザー光または強光を照射すると、針状結晶または柱状結晶の間の結晶粒界が処理されてほぼ単結晶に近い結晶性ケイ素膜を得ることができる。

【0039】この際、触媒元素の導入方法として蒸着法を用いると、効率よく横方向の結晶成長を行うことができる。結晶化に寄与する触媒元素は、針状結晶または柱状結晶の先端部、即ち結晶成長の先端部に存在している。よって、触媒元素が結晶化に効率良く機能していれば、触媒元素は結晶化が行われる結晶成長部のみに存在し、既に結晶化された横方向結晶成長領域には存在しないことになる。本願発明者らの実験によれば、触媒元素としてニッケルを導入する際に、プラズマ処理法を用いた場合には横方向結晶成長領域のニッケル濃度が 1×10^{18} ～ 5×10^{18} atoms/cm³であったのに対し、蒸着法を用いた場合には 5×10^{16} ～ 1×10^{17} atoms/cm³と一桁以上も小さな値であった。

【0040】非晶質ケイ素膜に導入される触媒元素の濃

度は、低ければ低いほど望ましいが、低すぎると非晶質ケイ素膜の結晶化を助長するように機能しない。本願発明者らが調べたところでは、結晶化が生じる触媒元素の最低濃度は、 1×10^{16} atoms/cm³であり、これ以下の濃度では触媒元素による結晶成長は起らなかった。一方、触媒元素の濃度が高すぎると、半導体素子に悪影響を及ぼす。触媒元素の濃度が高い場合に考えられる現象としては、主に TFT のオフ領域でのリーク電流増大がある。これは、触媒元素がケイ素膜中で形成する不純物準位によるものであり、その準位を介したトンネル電流が生じるためと考えられる。本願発明者らが調べた結果、触媒元素が半導体素子に悪影響を及ぼさない程度の最高濃度は、 1×10^{19} atoms/cm³であった。従って、触媒元素の膜中濃度が $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm³であれば、最も効果的に触媒元素が機能する。

【0041】上記濃度範囲で触媒元素を導入する場合、蒸着法により制御性良く導入するためには、蒸着法を工夫することが必要である。このような微少の蒸着量を制御するためには、成膜時間による制御は困難である。本願発明者らは、蒸着源（触媒元素）としてニッケルを用い、蒸着源と基板との距離を大きくすることで微量添加を試みた。その際、蒸着時間としては時間制御の限界を考慮して5秒に固定した。この理由は、それ以下の蒸着時間では再現性に問題があり、実際の製造工程で採用するのは困難と考えられるからである。その結果、蒸着量（ニッケルの導入量）は、蒸着源と基板との距離の二乗に反比例し、蒸着源と基板との距離が 20 cm の位置でニッケルの面分布が 1×10^{14} atoms/cm³ であった。このニッケルが厚さ 100 nm の非晶質ケイ素膜に均一に拡散すると、膜中のニッケル濃度は 1×10^{19} atoms/cm³ となる。よって、蒸着源と基板との距離を 20 cm 以上とすることで、触媒元素を非晶質ケイ素膜中濃度を 1×10^{19} atoms/cm³ 以下で導入させることができる。

【0042】蒸着法により触媒元素を微量導入する方法として、蒸着源と基板との間に多量の蒸着を抑制するための敷居板を設ける方法も有効である。この方法では、敷居板の形状を工夫することにより、所望の蒸着量に制御することができる。本願発明者らは、SUS 製のメッシュ状敷居板を用いることにより、ニッケルを非晶質ケイ素膜中に 1×10^{19} atoms/cm³ 以下で制御良く導入できることを確認した。

【0043】上記触媒元素としては、Ni を用いた場合に最も顕著な効果を得ることができるが、その他、Co、Pd、Pt、Cu、Ag、Au、In、Sn、P、As、Sb および Al を用いることができる。これらの触媒元素から選択される一種または複数種類の元素であれば、微量 (1×10^{16} atoms/cm³ 以上) でも結晶化助長の効果を有するので、半導体素子に悪影響を及ぼすおそれがない。

【0044】なお、ここで言う絶縁性表面を有する基板とは、絶縁性の基板自体、あるいは絶縁性の有無に拘らず絶縁膜を表面に有する基板のことである。

【0045】

【実施例】以下、本発明の実施例について、図面を参照しながら説明する。尚、以下の実施例で得られる TFT は、アクティブマトリクス型液晶表示装置のドライバ回路や画素部分は勿論のこと、同一基板上に CPU が構成された素子にも使用することができる。また、これら TFT の応用範囲としては、液晶表示装置のみでなく、一般に薄膜集積回路と称される半導体装置全てに利用することができる。

【0046】（実施例 1）本実施例では、ガラス基板上に形成された N 型 TFT に本発明を利用した場合について説明する。

【0047】図 1 (E) に、本実施例の TFT の断面図を示す。この TFT においては、ガラス基板 101 上に、基板からの不純物の拡散を防止する為に、酸化ケイ素からなる下地膜 102 が形成され、その上に、ソース／ドレイン領域 111、112 およびチャネル領域 110 を有する結晶性ケイ素からなる活性領域 103n が形成され、その上に酸化ケイ素からなるゲート絶縁膜 107 が形成されている。その上にチャネル領域 110 と対向するようにアルミニウム膜からなるゲート電極 108 が形成され、その表面にゲート電極を陽極酸化してなる酸化物層 109 が形成されている。その上を覆って、酸化ケイ素または窒化ケイ素からなる層間絶縁膜 113 が形成され、さらにその上に、金属材料、例えば窒化チタンとアルミニウムの二層膜からなる TFT の電極・配線 114、115 が形成されて、ゲート絶縁膜 107 および層間絶縁膜 113 に形成されたコンタクトホールを介してソース／ドレイン領域 111、112 と電気的に接続されている。

【0048】この TFT は、以下のようにして作製することができる。図 1 は、この実施例の TFT の作製工程の概要を示す断面図であり、(A) → (E) の順に従って工程が進行する。

【0049】まず、図 1 (A) に示すように、ガラス基板 101 上に、例えばスパッタリング法により厚さ 200 nm 程度の酸化ケイ素からなる下地膜 102 を形成する。その上に、減圧 CVD 法またはプラズマ CVD 法により、厚さ 25 ~ 100 nm、例えば 80 nm の第 1 の真性 (I 型) 非晶質ケイ素膜 103 を成膜する。

【0050】次に、真空蒸着法によりニッケルの極薄膜 105 を形成する。この際、ニッケルの基板上の面密度は、 $1 \times 10^{11} \sim 1 \times 10^{14}$ atoms/cm³ となるようにした。本実施例では、蒸着源（ニッケル）と基板との間に SUS 製のメッシュ状敷居板を設置して、蒸着時の真空度を 1×10^{-4} Pa、蒸着源と基板との間の距

離を20cmとして5秒間の蒸着を行った。この時のニッケルの面密度は、 $1 \times 10^{12} \text{ atoms/cm}^2$ 程度であった。

【0051】ここで、距離を20cmとするときの基板の基準面は、厳密には基板101上の非晶質ケイ素膜103の表面であるが、下地膜102および非晶質ケイ素膜103の厚みが薄いので、基板101の表面としても構わない。また、距離を20cmとするときの条件は、上述した処理状態におけるものであり、触媒元素の種類、敷居板、真密度、処理時間などに応じて多少変動させてもよい。

【0052】これを水素還元雰囲気下または不活性雰囲気下、加熱温度520～580°Cで数時間～数十時間、例えば550°Cで8時間アニールして結晶化させる。この際、表面に蒸着されたニッケル105が核となって、基板101に対して垂直方向に非晶質ケイ素膜103の結晶化が起こり、結晶性ケイ素膜103aが形成される。また、結晶化と同時に膜中にニッケルが均一に拡散して、結晶性ケイ素膜103a中のニッケル濃度は $6 \times 10^{17} \text{ atoms/cm}^2$ となった。

【0053】引き続いて、図1(B)に示すようにレーザー光を照射して、結晶性ケイ素膜103aの結晶性を助長する。ここでは、レーザーとしてXeClエキシマレーザー(波長308nm、パルス幅40nsec)を用いたが、他のレーザーを用いてもよい。レーザー光の照射条件は、エネルギー密度200～400mJ/cm²、例えば300mJ/cm²とし、照射時に基板を200～450°C、例えば400°Cに加熱した。

【0054】次に、図1(C)に示すように、不要な部分の結晶性ケイ素膜103aを除去して素子間分離を行い、後にTFTの活性領域(ソース/ドレイン領域111、112、チャネル領域110)となる島状の結晶性ケイ素膜103nを形成する。

【0055】次に、図1(D)に示すように、活性領域となる結晶性ケイ素膜103nを覆うように厚さ20～150nm、例えば100nmの酸化ケイ素膜からなるゲート絶縁膜107を成膜する。ここでは、TEOSを原料として、RFプラズマCVD法により、酸素と共に基板温度150～600°C、好ましくは300～450°Cで分解・堆積した。他の方法として、TEOSを原料として、減圧プラズマCVD法または常圧CVD法により、オゾンガスと共に基板温度350～600°C、好ましくは400～550°Cで形成してもよい。

【0056】次に、成膜後、ゲート絶縁膜自身のバルク特性、および結晶性ケイ素膜とゲート絶縁膜との界面特性を向上させるために、不活性ガス雰囲気下で400～600°Cで30～60分のアニールを行った。

【0057】引き続いて、スパッタリング法により厚さ400～800nm、例えば600nmのアルミニウムを成膜する。このアルミニウム膜をパターニングしてゲ

ート電極108を形成し、さらにその表面を陽極酸化して表面に酸化物層109を形成する。この陽極酸化は、酒石酸が1～5%含まれたエチレングリコール溶液中で行い、最初一定電流で220Vまで電圧を上げ、その状態で1時間保持することにより反応を終了させた。得られた酸化物層109の厚さは200nmであった。ここで、酸化物層109の厚みは、後のイオンドーピング工程でオフセットゲート領域を形成するので、オフセットゲート領域の長さをこの陽極酸化工程で決めることができる。また、この酸化物層109を形成することにより、後の工程でゲート電極108を構成するアルミニウム膜にヒロックが発生することを防止することができる。

【0058】続いて、イオンドーピング法により、ゲート電極108とその周囲の酸化層109をマスクとして、活性領域103nに不純物(リン)を注入する。ドーピングガスとして、fosfine(PH₃)を用い、加速電圧を60～90keV、例えば80keVとし、ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{16} \text{ cm}^{-2}$ 、例えば $2 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、不純物が注入された領域111と112とは、後にTFTのソース/ドレイン領域111、112となり、ゲート電極108と酸化物層109とによりマスクされて不純物が注入されない領域は、後にTFTのチャネル領域110となる。

【0059】その後、レーザー光の照射によりアニールを行ってイオン注入した不純物の活性化を行うと同時に、活性領域103nにおいて不純物注入工程で結晶性が劣化した部分の結晶性を改善させる。ここではレーザーとしてXeClエキシマレーザー(波長308nm、パルス幅40nsec)を用いたが、他のレーザーを用いてもよい。レーザー光の照射条件は、エネルギー密度が150～400mJ/cm²、好ましくは200～250mJ/cm²である。このようにして形成されたN型不純物(リン)領域111、112のシート抵抗は200～800Ω/□であった。

【0060】続いて、厚さ600nm程度の酸化ケイ素膜または窒化ケイ素膜からなる層間絶縁膜113をプラズマCVD法により形成する。ここで、酸化ケイ素膜を形成する場合には、TEOSを原料として、酸素と共にRFプラズマCVD法により分解・堆積する方法、もしくはTEOSを原料として、オゾンガスと共に減圧プラズマCVD法または常圧CVD法により分解・堆積する方法により形成すると、段差被覆性に優れた良好な層間絶縁膜が得られる。窒化ケイ素膜を形成する場合には、SiH₄とNH₃とを原料ガスとしてプラズマCVD法により成膜すると、結晶性ケイ素膜中の不対結合を低減する効果があり、TFT特性を向上させることができる。

【0061】次に、図1(E)に示すように、層間絶縁膜113にコンタクトホールを形成して、金属材料、例

えば窒化チタンとアルミニウムの二層膜によってTFTの電極・配線114、115を形成し、ソース/ドレイン領域111、112と接続させる。最後に1気圧の水素雰囲気で350℃、30分のアニールを行い、TFTを完成させる。

【0062】得られたTFTは、アクティブマトリクス型液晶表示装置の周辺ドライバー回路や画素部分のスイッチング素子、またはCPUが構成された薄膜集積回路に使用することができる。画素電極のスイッチング素子として用いる場合には、電極114または115をITO等の透明導電膜からなる画素電極に接続し、もう一方の電極から信号を入力する構成とする。また、CPU等の薄膜集積回路に用いる場合には、ゲート電極108上にもコンタクトホールを形成し、必要とする配線を形成してゲート電極108と接続させる構成とする。

【0063】このようにして得られたN型TFTは、電界効果移動度が120～150cm²/Vs、S値が0.2～0.4V/桁、閾値電圧2～3Vという良好な特性を示した。基板内におけるTFT特性のばらつきは、電界効果移動度で±12%、閾値電圧で±8%以内で、均一性および安定性良く製造することができた。

【0064】(実施例2) 本実施例では、ガラス基板上に形成されたP型TFTに本発明を利用した場合について説明する。

【0065】図3(F)に、本実施例のTFTの断面図を示す。このTFTにおいては、ガラス基板201上に、基板からの不純物の拡散を防止する為に、酸化ケイ素からなる下地膜202が形成され、その上に、ソース/ドレイン領域211、212およびチャネル領域210を有する結晶性ケイ素からなる活性領域203pが形成され、その上に酸化ケイ素からなるゲート絶縁膜207が形成されている。その上にチャネル領域210と対向するようにアルミニウム膜からなるゲート電極208が形成され、その上を覆って、酸化ケイ素または窒化ケイ素からなる層間絶縁膜213が形成されている。さらにその上に、金属材料、例えば窒化チタンとアルミニウムの二層膜からなるTFTの電極・配線214、215が形成されて、ゲート絶縁膜207および層間絶縁膜213に形成されたコンタクトホールを介してソース/ドレイン領域211、212と電気的に接続されている。

【0066】このTFTは、以下のようにして作製することができる。図2(A)は、この実施例のTFTの作製工程の概要を示す平面図である。図3は図2(A)のA-A'線断面図であり、(A)→(F)の順に従って工程が進行する。

【0067】まず、図3(A)に示すように、ガラス基板201上に、例えばスパッタリング法により厚さ20nm程度の酸化ケイ素からなる下地膜202を形成する。その上に、減圧CVD法またはプラズマCVD法により、厚さ25～100nm、例えば80nmの第1の

真性(I型)非晶質ケイ素膜203を成膜する。

【0068】次に、厚さ50nm程度の酸化ケイ素膜または窒化ケイ素膜等の絶縁性薄膜によりマスク204を形成し、これを選択的に除去してスリット状開口部200を設ける。この状態を基板上面から見ると、図2(A)に示すように、開口部が設けられた領域200ではスリット状に非晶質ケイ素膜203が露呈され、他の部分はマスクされた状態となっている。図2(A)において、A-A'線で切断した断面が図3(E)または(F)に相当する。尚、本実施例では、図2(A)のような配置でTFTを作製するが、図2(B)のような配置でも同様な方法で全く問題なくTFTを作製することができる。尚、図2(A)および(B)において、211と212がTFTのソース/ドレイン領域、210がチャネル領域であり、206は結晶成長方向を示す。

【0069】上記マスク204を形成後、図3(B)に示すように、真空蒸着法によりニッケルの極薄膜205を形成する。この際、ニッケルの基板上の面密度は、 $5 \times 10^{10} \sim 5 \times 10^{13} \text{ atoms/cm}^2$ となるようにした。本実施例では、蒸着時の真空度を $1 \times 10^{-4} \text{ Pa}$ 、蒸着源と基板との間の距離を40cmとして5秒間の蒸着を行った。この時のニッケルの面密度は、 $2 \times 10^{13} \text{ atoms/cm}^2$ 程度であった。スリット状開口部が設けられた領域200の部分では、蒸着されたニッケル薄膜205が非晶質ケイ素膜203と接触しており、この部分に選択的にニッケル微量添加が行われたことになる。

【0070】次に、これを水素還元雰囲気下または不活性雰囲気下、例えば加熱温度550℃で16時間アニールして結晶化させる。この際、ニッケル微量添加が選択的に行われた領域200においては、基板201に対して垂直方向に非晶質ケイ素膜203の結晶化が起り、結晶性ケイ素膜203aが形成される。また、結晶化と同時に膜中にニッケルが均一に拡散して、結晶性ケイ素膜203a中のニッケル濃度は $4 \times 10^{18} \text{ atoms/cm}^2$ となった。一方、領域200の周辺領域では、図3(C)の矢印206に示すように、領域200から横方向(基板201と平行な方向)に結晶成長が起り、横方向に結晶成長した結晶性ケイ素膜203bが形成される。それ以外の領域では、非晶質ケイ素膜はそのまま非晶質ケイ素膜203として残される。横方向に結晶成長した結晶性ケイ素膜203b中のニッケル濃度は $2 \times 10^{17} \text{ atoms/cm}^2$ 程度であり、直接ニッケルを添加して結晶成長した結晶性ケイ素膜203aに比べて一桁程度小さい値となっている。上記結晶成長に際し、矢印206で示される基板と平行な方向の結晶成長の距離は、80μm程度であった。

【0071】その後、マスク204を除去し、レーザー光を照射して、結晶性ケイ素膜203bの結晶性を助長する。ここではレーザーとしてKrFエキシマレーザー

(波長248nm、パルス幅20nsec)を用い、照射条件は、基板を200~450°C、例えば350°Cに加熱し、エネルギー密度200~400mJ/cm²、例えば250mJ/cm²で照射した。

【0072】次に、図3(D)に示すように、不要な部分の結晶性ケイ素膜203を除去して素子間分離を行い、後でTFTの活性領域(ソース/ドレイン領域211、212、チャネル領域210)となる島状の結晶性ケイ素膜203pを形成する。

【0073】その後、図3(E)に示すように、活性領域となる結晶性ケイ素膜203pを覆うように厚さ20~150nm、例えば100nmの酸化ケイ素膜からなるゲート絶縁膜207を成膜する。ここでは、スパッタリング法によりゲート絶縁膜207を形成した。ターゲットとしては酸化ケイ素を用い、基板温度200~400°C、例えば350に加熱し、スパッタリング雰囲気は酸素とアルゴンとを用い、アルゴン/酸素=0~0.5、例えば0.1以下とした。

【0074】引き続いて、スパッタリング法により厚さ400nmのアルミニウムを成膜し、これをパターニングしてゲート電極208を形成する。

【0075】続いて、イオンドーピング法により、ゲート電極208をマスクとして、活性領域203pに不純物(ホウ素)を注入する。ドーピングガスとして、ジボラン(B₂H₆)を用い、加速電圧を40~80keV、例えば65keVとし、ドーズ量は1×10¹⁵~8×10¹⁵cm⁻²、例えば5×10¹⁵cm⁻²とする。この工程により、不純物が注入された領域211と212とは、後にTFTのソース/ドレイン領域211、212となり、ゲート電極208によりマスクされて不純物が注入されない領域は、後にTFTのチャネル領域210となる。

【0076】その後、レーザー光の照射によりアニールを行ってイオン注入した不純物の活性化を行うと同時に、活性領域203pにおいて不純物注入工程で結晶性が劣化した部分の結晶性を改善させる。ここではレーザーとしてKrFエキシマレーザー(波長248nm、パルス幅20nsec)を用い、エネルギー密度200~400mJ/cm²、例えば250mJ/cm²で照射した。このようにして形成されたN型不純物(リン)領域211、212のシート抵抗は500~900Ω/□であった。

【0077】続いて、厚さ600nm程度の酸化ケイ素膜からなる層間絶縁膜213をプラズマCVD法により形成する。ここで、酸化ケイ素膜は、TEOSを原料として、酸素と共にRFプラズマCVD法により分解・堆積する方法、もしくはTEOSを原料として、オゾンガスと共に減圧プラズマCVD法または常圧CVD法により分解・堆積する方法により形成すると、段差被覆性に優れた良好な層間絶縁膜が得られる。

【0078】次に、図3(F)に示すように、層間絶縁膜213にコンタクトホールを形成して、金属材料、例えば窒化チタンとアルミニウムの二層膜によってTFTの電極・配線214、215を形成し、ソース/ドレイン領域211、212と接続させる。最後に1気圧の水素雰囲気で350°C、30分のアニールを行い、TFTを完成させる。

【0079】このTFTを画素電極のスイッチング素子として用いる場合には、電極214または215をITO等の透明導電膜からなる画素電極に接続し、もう一方の電極から信号を入力する構成とする。また、CPU等の薄膜集積回路に用いる場合には、ゲート電極208上にもコンタクトホールを形成し、必要とする配線を形成してゲート電極208と接続させる構成とする。

【0080】このようにして得られたP型TFTは、電界効果移動度が120~140cm²/Vs、S値が0.3~0.5V/桁、閾値電圧-2~-3Vという良好な特性を示した。基板内におけるTFT特性のばらつきは、電界効果移動度で±10%、閾値電圧で±5%以内で、均一性および安定性良く製造することができた。

【0081】(実施例3) 本実施例では、アクティブマトリクス型液晶表示装置の周辺駆動回路や一般の薄膜集積回路に用いられる、ガラス基板上にN型TFTとP型TFTとを相補型に構成したCMOS構造の回路に本発明を利用した場合について説明する。

【0082】図5(E)に、本実施例のCMOS構造の回路の断面図を示す。この回路においては、ガラス基板301上に、基板からの不純物の拡散を防止する為に、酸化ケイ素からなる下地膜302が形成されている。その上に、ソース/ドレイン領域312、313およびチャネル領域310を有する結晶性ケイ素からなるN型TFTの活性領域303nと、ソース/ドレイン領域314、315およびチャネル領域311を有する結晶性ケイ素からなるN型TFTの活性領域303pとが形成されている。

【0083】その上に酸化ケイ素からなるゲート絶縁膜307が形成され、各TFTのチャネル領域と対向するようにアルミニウム膜からなるゲート電極308、309が形成されている。その上を覆って、酸化ケイ素からなる層間絶縁膜316が形成され、さらにその上に、金属材料、例えば窒化チタンとアルミニウムの二層膜からなるTFTの電極・配線317、318、319が形成されて、ゲート絶縁膜307および層間絶縁膜316を貫通して形成されたコンタクトホールを介してソース/ドレイン領域312、313、314、315と電気的に接続されている。

【0084】このCMOS構造回路は、以下のようにして作製することができる。図4は、この実施例のCMOS構造回路の作製工程の概要を示す平面図である。図5は図4のB-B'線断面図であり、(A)→(E)の順

に従って工程が進行する。

【0085】まず、図5 (A) に示すように、ガラス基板301上に、例えばスパッタリング法により厚さ100 nm程度の酸化ケイ素からなる下地膜302を形成する。その上に、減圧CVD法により、厚さ25～100 nm、例えば50 nmの真性(I型)非晶質ケイ素膜303を成膜する。

【0086】次に、厚さ50 nm程度の酸化ケイ素膜または窒化ケイ素膜等の絶縁性薄膜によりマスク304を形成し、これを選択的に除去して触媒元素注入口300を開ける。この状態を基板上面から見ると、図4に示すように、触媒元素注入口300を通して非晶質ケイ素膜303が露呈され、他の部分はマスクされた状態となっている。

【0087】上記マスク304を設けた後、図5 (B) に示すように、真空蒸着法によりニッケルの極薄膜305を形成する。この際、ニッケルの基板上の面密度は、 $5 \times 10^{10} \sim 5 \times 10^{13} \text{ atoms/cm}^2$ となるようにした。本実施例では、蒸着時の真空中度を $1 \times 10^{-4} \text{ Pa}$ 、蒸着源と基板との間の距離を60 cmとして5秒間の蒸着を行った。この時のニッケルの面密度は、 $1 \times 10^{13} \text{ atoms/cm}^2$ 程度であった。触媒元素注入口が設けられた領域300の部分では、蒸着されたニッケル薄膜305が非晶質ケイ素膜303と接触しており、この部分に選択的にニッケル微量添加が行われたことになる。これを水素還元雰囲気下または不活性雰囲気下、例えば加熱温度550°Cで16時間アニールして結晶化させる。

【0088】この際、ニッケル微量添加が選択的に行われた領域300においては、基板301に対して垂直方向に非晶質ケイ素膜303の結晶化が起こり、結晶性ケイ素膜303aが形成される。また、結晶化と同時に膜中にニッケルが均一に拡散して、結晶性ケイ素膜303a中のニッケル濃度は $2 \times 10^{18} \text{ atoms/cm}^3$ となった。一方、領域300の周辺領域では、図5 (B) の矢印306に示すように、領域300から横方向(基板301と平行な方向)に結晶成長が起こり、横方向に結晶成長した結晶性ケイ素膜303bが形成される。それ以外の領域では、非晶質ケイ素膜はそのまま非晶質ケイ素膜303として残される。横方向に結晶成長した結晶性ケイ素膜303b中のニッケル濃度は $1 \times 10^{17} \text{ atoms/cm}^3$ 程度であり、直接ニッケルを添加して結晶成長した結晶性ケイ素膜303aに比べて一桁程度小さい値となっている。上記結晶成長に際し、矢印306で示される基板と平行な方向の結晶成長の距離は、80 μm程度であった。

【0089】その後、マスク304を除去し、レーザー光を照射して、結晶性ケイ素膜303bの結晶性を助長する。ここではレーザー光としてXeClエキシマレーザー(波長308 nm、パルス幅40 ns)を用い

た。レーザー光の照射条件は、エネルギー密度200～400 mJ/cm²、例えば300 mJ/cm²とし、照射時に基板を200～450°C、例えば400°Cに加熱した。

【0090】次に、図5 (C) に示すように、TFTの活性領域(素子領域)303n、303pとなる結晶性ケイ素膜を残してそれ以外の領域をエッチング除去し、素子間分離を行う。

【0091】次に、図5 (D) に示すように、活性領域となる結晶性ケイ素膜303n、303pを覆うように厚さ100 nmの酸化ケイ素膜からなるゲート絶縁膜307を成膜する。ここでは、TEOSを原料として、酸素と共にRFプラズマCVD法により、基板温度350°Cで分解・堆積した。

【0092】引き続いて、スパッタリング法により厚さ400～800 nm、例えば600 nmのアルミニウム(0.1～2%のシリコンを含む)を成膜し、これをパターニングしてゲート電極308、309を形成した。

【0093】続いて、イオンドーピング法により、ゲート電極308、309をマスクとして、活性領域303nに不純物(リン)を、また、活性領域303pに不純物(ホウ素)を注入する。ドーピングガスとして、フオスフィン(PH₃)およびジボラン(B₂H₆)を用い、前者は加速電圧を60～90 keV、例えば80 keVとし、後者は加速電圧を40～80 keV、例えば65 keVとする。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えばリンを $2 \times 10^{16} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、不純物が注入された領域312、313、314、315は、後にTFTのソース/ドレイン領域となり、ゲート電極308、309によりマスクされて不純物が注入されない領域は、後にTFTのチャネル領域310、311となる。上記ドーピングに際しては、ドーピングが不要な領域をフォトレジストで覆うことにより、それぞれの元素を選択的にドーピングすることができる。この結果、N型の不純物領域312、313と、P型の不純物領域領域314、314とが形成され、図5 (E) に示すように、Nチャネル型TFTとPチャネル型TFTとを形成することができる。

【0094】その後、図5 (D) に示すように、レーザー光の照射によりアニールを行ってイオン注入した不純物の活性化を行う。ここではレーザー光としてXeClエキシマレーザー(波長308 nm、パルス幅40 ns)を用い、照射条件はエネルギー密度250 mJ/cm²として一カ所につき2ショット照射した。

【0095】続いて、図5 (E) に示すように、厚さ600 nm程度の酸化ケイ素膜からなる層間絶縁膜316をプラズマCVD法により形成する。これにコンタクトホールを形成して、金属材料、例えば窒化チタンとアルミニウムの二層膜によってTFTの電極・配線317、

318、319を形成し、ソース／ドレイン領域312、313、314、315と接続させる。最後に水素プラズマ雰囲気で350℃、30分のアニールを行い、TFTを完成させる。

【0096】このようにして得られたCMOS構造の回路において、N型TFTの電界効果移動度は150～180cm²/Vs、P型TFTの電界効果移動度は120～140cm²/Vsという高い値を示した。また、閾値電圧はN型TFTで1.5～2V、P型TFTで-2～-3Vという非常に良好な特性を示した。基板内におけるTFT特性のばらつきは、電界効果移動度につき±12%以内、閾値電圧につき±8%以内で、均一性および安定性良く製造することができた。

【0097】以上、本発明の実施例について具体的に説明したが、本発明は上記実施例に限定されるものではなく、本発明の技術思想に基づいて各種の変形が可能である。

【0098】例えば上記実施例1～3において、ニッケルを導入する方法としては、非晶質ケイ素膜の表面に蒸着法によりニッケル極薄膜を形成することにより選択的にニッケル微量添加を行って、この部分から結晶成長を行う方法を採用した。しかし、非晶質ケイ素膜を形成する前に、下地膜表面に蒸着法によりニッケル微量添加を行う方法でもよい。即ち、ニッケル微量添加は非晶質ケイ素膜の上面に行っても下面に行ってもよく、結晶成長は非晶質ケイ素膜の上面側から行っても下面側から行ってもよい。

【0099】結晶化を助長する触媒元素としては、ニッケルを用いた場合に最も顕著な効果を得ることができるが、その他、コバルト、パラジウム、白金、銅、銀、金、インジウム、錫、リン、ヒ素、アンチモン、アルミニウム等の金属元素を用いても同様な効果を得ることができる。これらの触媒元素から選択される一種または複数種類の元素であれば、微量(1×10¹⁶atoms/cm³程度)でも結晶化を助長する効果を有するので、半導体素子に悪影響を及ぼすおそれがない。

【0100】上記実施例では結晶性ケイ素膜の結晶性を助長するために、パルスレーザーであるエキシマレーザー照射による加熱を行ったが、それ以外のレーザー(例えば連続発振レーザーであるArレーザー等)を用いても同様の処理を行うことができる。また、レーザーの代わりに、レーザー光と同等の強光、例えば赤外光、フラッシュランプ等を使用して短時間に1000～1200℃(シリコンモニターの温度)まで上昇させて試料を加熱する所謂RTA(ラピッド・サーマル・アニール、または RTP(ラピッド・サーマル・プロセス)とも称する)等を用いてもよい。

【0101】さらに、液晶表示用のアクティブマトリックス基板以外に本発明を適用することもできる。例えば、密着型イメージセンサー、ドライバー内蔵型サーマルヘ

ッド、有機系ELなどを発光素子としたドライバー内蔵型の光書き込み素子や表示素子、三次元ICなどの半導体装置などが挙げられ、本発明を適用することによりこれらの素子の高速化、高解像度化等の高性能化を実現することができる。さらに、上記実施例で説明したMOS型トランジスタに限らず、結晶性半導体を素子材料としたバイポーラトランジスタや静電誘導トランジスタを初めとして半導体プロセスおよび半導体装置全般に幅広く応用することができる。

10 【0102】

【発明の効果】以上の説明から明らかのように、本発明によれば、絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置において、大面積基板に渡って均一で安定した特性の高性能なTFTを、簡便な製造プロセスにより形成することができる。特に液晶表示装置においては、アクティブマトリックス基板に要求される画素スイッチング用TFTの特性の均一化と、周辺駆動回路部を構成するTFTに要求される高性能化を同時に満足させることができるの

20 で、同一基板上にアクティブマトリックス部(表示部)と周辺駆動回路部とが形成されたドライバモノリシック型アクティブマトリックス基板を実現することができ、モジュールのコンパクト化、高性能化、低コスト化を図ることができる。

【図面の簡単な説明】

【図1】(A)～(E)は実施例1の半導体装置の製造方法を示す工程図(断面図)である。

【図2】(A)および(B)は実施例2の半導体装置の製造工程の概要を示す平面図である。

30 【図3】(A)～(F)は図2(A)のA-A'線における工程図(断面図)である。

【図4】実施例3の半導体装置の作製工程の概要を示す平面図である。

【図5】(A)～(E)は図4のB-B'線における工程図(断面図)である。

【符号の説明】

101、201、301 ガラス基板

102、202、302 下地膜

103、203、303 非晶質ケイ素膜

40 103a、203a、303a 結晶性ケイ素膜

203b、303b 結晶性ケイ素膜

103n、203p、303n、303p 活性領域

204、304 マスク

206、306 結晶成長方向

107、207、307 ゲート絶縁膜

108、208、308、309 ゲート電極

109 酸化物層(陽極酸化層)

110、210、310、311 チャネル領域

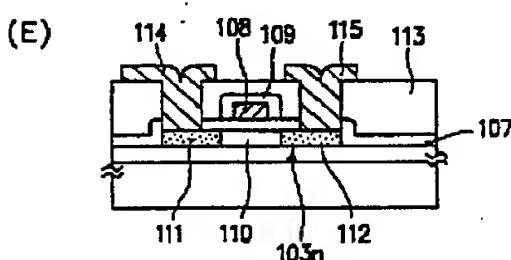
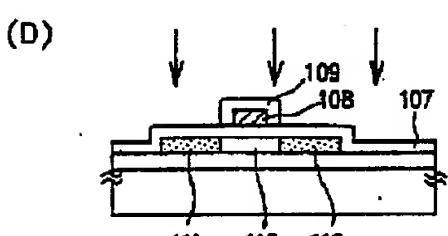
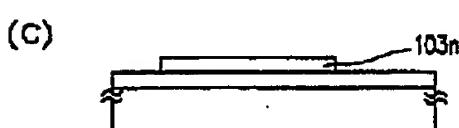
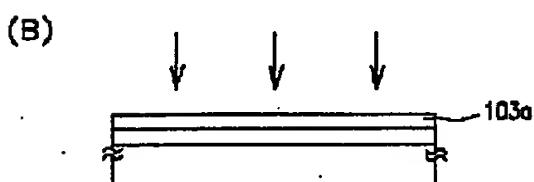
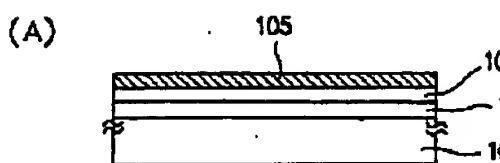
111、112、211、212、312、313、314、315 ソース／ドレイン領域

21

113、213、316 層間絶縁膜

114、115、214、215、317、318、3

【図1】



19

電極・配線

22

二層絶縁層添加層形成工程
二層絶縁層添加層形成工程

② 203…非晶質化膜

203b 非晶質化膜

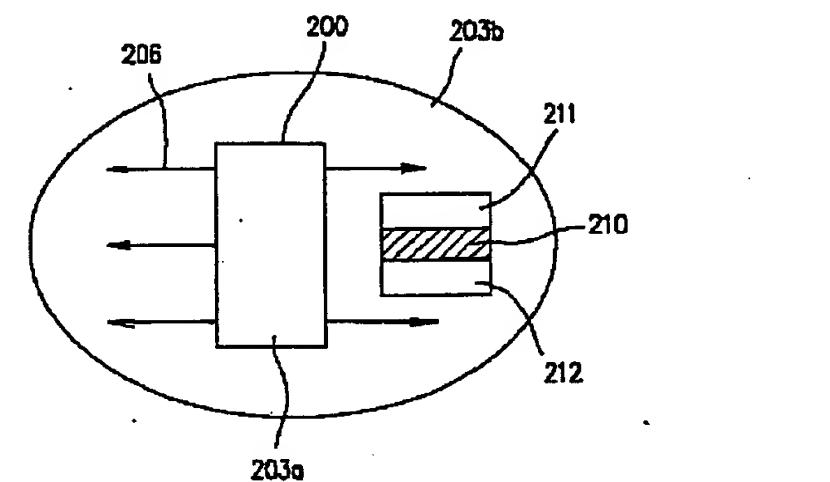
210 非晶質化膜

212 非晶質化膜

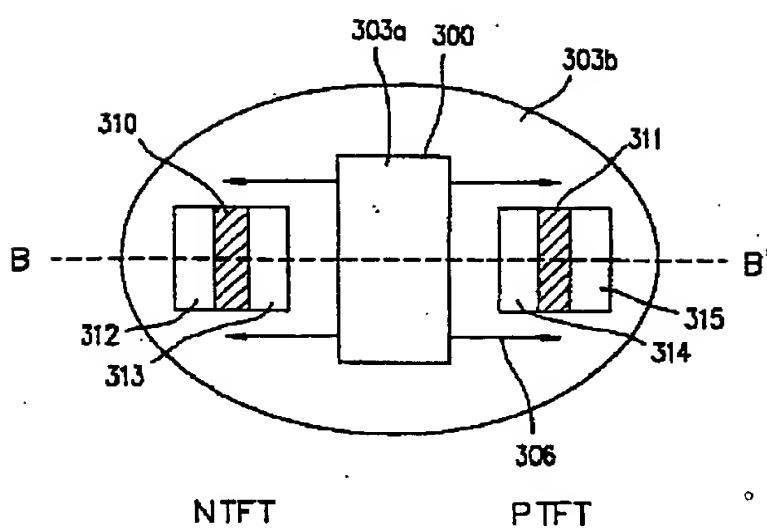
211 非晶質化膜

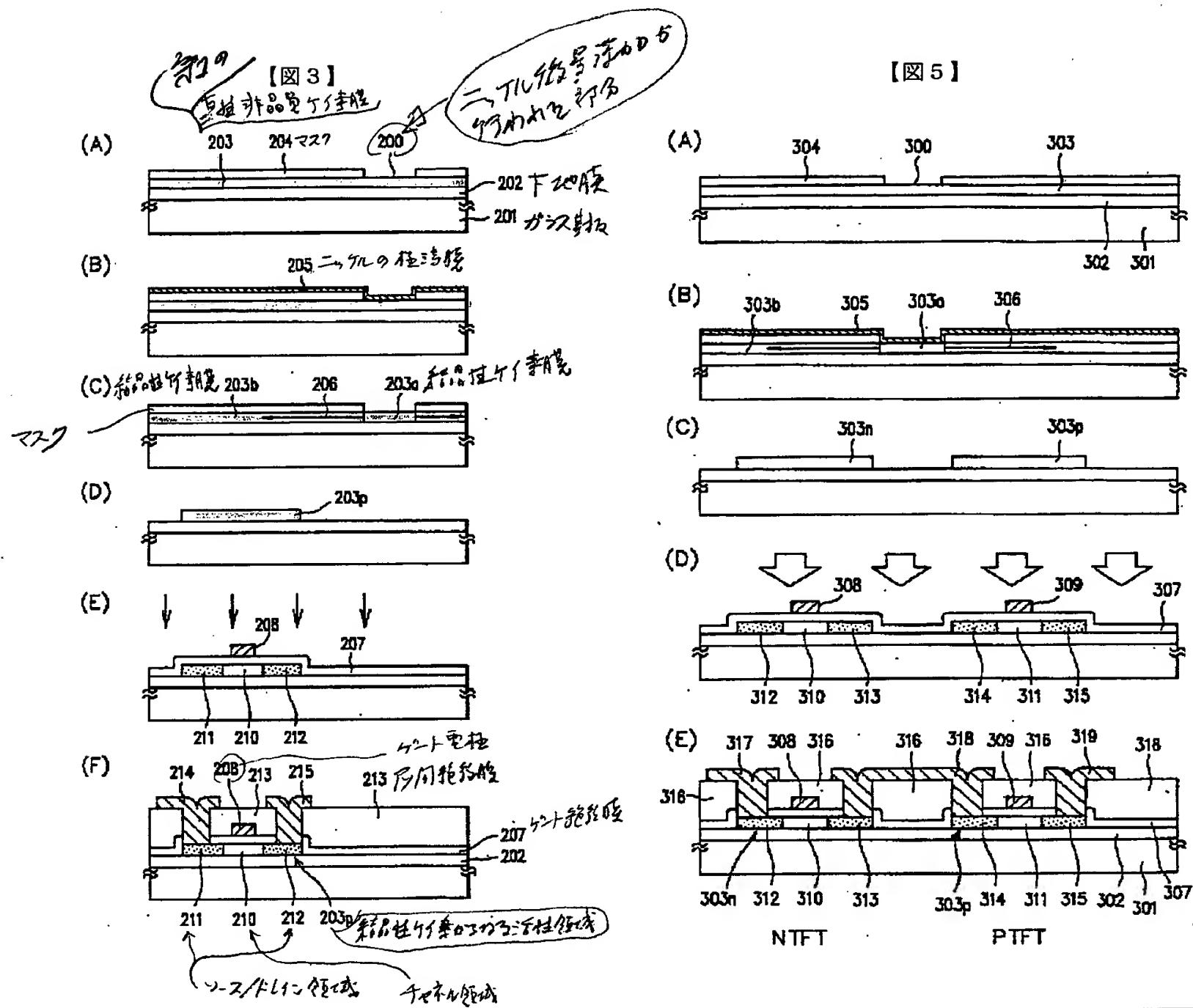
(A)

(B) 变形例



【図4】





フロントページの続き

(51) Int. Cl. 6

識別記号

序内整理番号

F I

技術表示箇所

H O 1 L 21/336